



(19)

(11) Publication number:

10064915 A

Generated Document.

PATENT ABSTRACTS OF JAPAN

(21) Application number: 08241363

(51) Intl. Cl.: H01L 21/3213 H01L 21/265 H01L 21/28
H01L 21/3065 H01L 29/78

(22) Application date: 23.08.96

(30) Priority:

(43) Date of application publication: 06.03.98

(84) Designated contracting states:

(71) Applicant: SONY CORP

(72) Inventor: TATSUMI TETSUYA

(74) Representative:

(54) FORMING METHOD FOR WIRING FOR SEMICONDUCTOR DEVICE

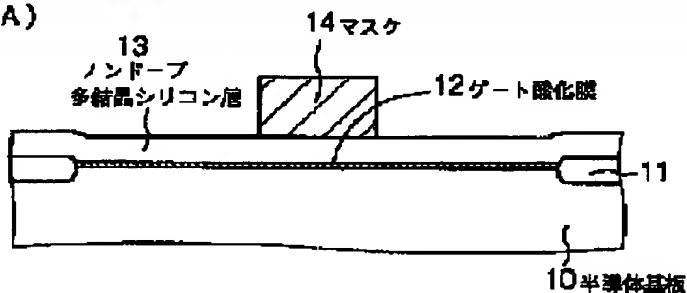
(57) Abstract:

PROBLEM TO BE SOLVED: To provide a forming method for wiring for semiconductor device, with which wiring having desired width and form can be surely formed by etching when forming wiring for a semiconductor device.

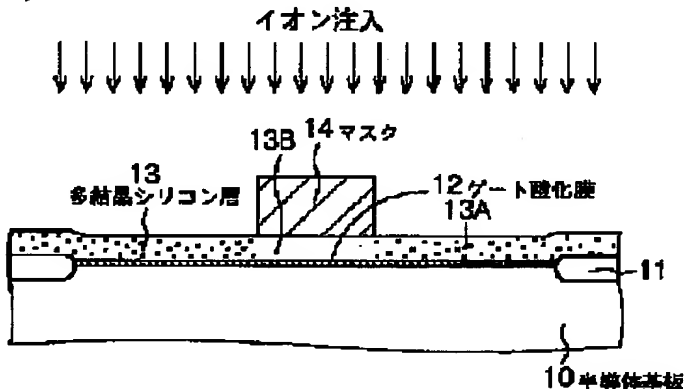
SOLUTION: The forming method for wiring comprises a process for forming a silicon material layer 13 containing no impurity or containing a p-type impurity on a substrate 12, process for the ion implantation of n-type impurity to this silicon material layer 13A except for a region to form wiring, and process for forming wiring 15 composed of a silicon material layer containing no impurity or containing p-type impurity by etching the silicon material layer 13A, to which the ion implantation of n-type impurity is performed.

COPYRIGHT: (C)1998,JPO

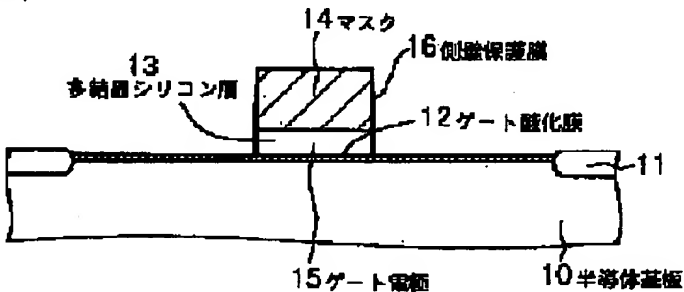
(A)



(B)



(C)



(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平10-64915

(43) 公開日 平成10年(1998) 3月6日

(51) Int.Cl. ⁸	識別記号	庁内整理番号	F I	技術表示箇所
H 0 1 L	21/3213		H 0 1 L 21/88	D
	21/265		21/28	3 0 1 D
	21/28	3 0 1	21/265	P
	21/3065			W
	29/78		21/302	J

審査請求 未請求 請求項の数 5 F D (全 16 頁) 最終頁に続く

(21) 出願番号 特願平8-241363

(22) 出願日 平成8年(1996) 8月23日

(71) 出願人 000002185

ソニー株式会社

東京都品川区北品川6丁目7番35号

(72) 発明者 辰巳 哲也

東京都品川区北品川6丁目7番35号 ソニー株式会社内

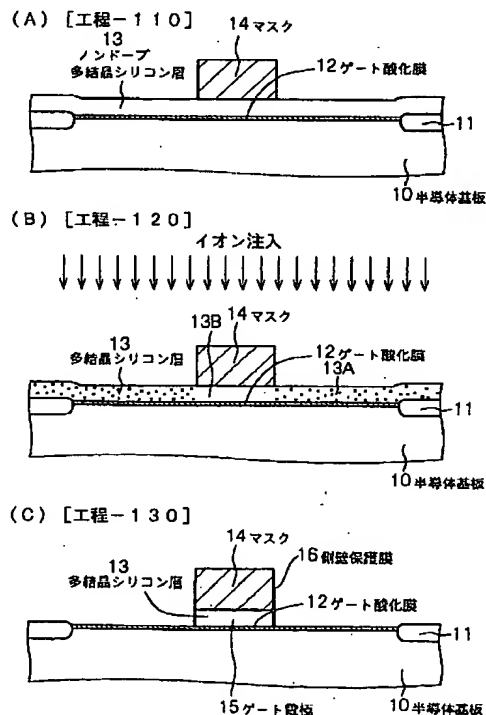
(74) 代理人 弁理士 山本 孝久

(54) 【発明の名称】 半導体装置における配線の形成方法

(57) 【要約】

【課題】 半導体装置における配線の形成において、所望の幅、形状を有する配線を確実にエッチング法にて形成することを可能にする半導体装置における配線の形成方法を提供する。

【解決手段】 配線の形成方法は、(イ) 基体12上に、不純物を含有していない若しくはp型不純物を含有するシリコン系材料層13を形成する工程と、(ロ) 配線を形成すべき部分以外の該シリコン系材料層13Aに、n型不純物をイオン注入する工程と、(ハ) n型不純物がイオン注入されたシリコン系材料層13Aをエッチングし、以て、不純物を含有していない若しくはp型不純物を含有するシリコン系材料層から成る配線15を形成する工程から成る。



【特許請求の範囲】

【請求項 1】 (イ) 基体上に、不純物を含有していない若しくは p 型不純物を含有するシリコン系材料層を形成する工程と、

(ロ) 配線を形成すべき部分以外の該シリコン系材料層に、n 型不純物をイオン注入する工程と、

(ハ) n 型不純物がイオン注入されたシリコン系材料層をエッチングし、以て、不純物を含有していない若しくは p 型不純物を含有するシリコン系材料層から成る配線を形成する工程、から成ることを特徴とする半導体装置における配線の形成方法。

【請求項 2】 配線は、不純物を含有していない若しくは p 型不純物を含有するシリコン系材料層から成るゲート電極であることを特徴とする請求項 1 に記載の半導体装置における配線の形成方法。

【請求項 3】 前記ゲート電極は、n 型不純物を含有するゲート電極から延在していることを特徴とする請求項 2 に記載の半導体装置における配線の形成方法。

【請求項 4】 n 型不純物がイオン注入された前記シリコン系材料層のエッチングを、塩素系エッチングガスを用いて行うことを特徴とする請求項 1 に記載の半導体装置における配線の形成方法。

【請求項 5】 n 型不純物がイオン注入された前記シリコン系材料層のエッチングを、パルス放電可能なエッチング装置にて行うことを特徴とする請求項 1 に記載の半導体装置における配線の形成方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明は、半導体装置における配線の形成方法に関する。

【0002】

【従来の技術】 ULSI の高集積化が進み、微細加工技術への要求は益々厳しいものとなっている。ドライエッチング工程においても例外でなく、高精度の加工方法をめざし、種々の検討が行われている。特にデザインルールが微細になるに従い、トランジスタ特性に大きな影響を及ぼすゲート電極の寸法（ゲート長）のばらつき抑制、及び、非常に薄いゲート酸化膜に対するゲート電極を構成する材料のエッチング選択比の確保が重要な課題となっている。近年、これらの要求に対処するために、高密度プラズマ中での塩素ラジカルによるエッチング法が確立されている。このエッチング法によって、非常に高い SiO_2 選択比、及び塩化シリコン (SiCl_x) 系の側壁保護膜を利用した異方性の高いエッチングプロセスを実現することができる。

【0003】 CMOS トランジスタにおいては、微細化、高集積化が進むにつれ、短チャネル効果の抑制を主たる目的として、所謂デュアルゲート構造が採用されている。従来の CMOS トランジスタにおけるゲート電極は、P や As といった n 型不純物を含有した多結晶シリ

コン層（以下、n' 型多結晶シリコン層と呼ぶ）を下層とし、上層をタングステンシリサイド層としたポリサイド構造から構成されている。一方、デュアルゲート構造のゲート電極は、図 10 に模式的な一部断面図を示すように、N 型 MOS トランジスタにおいては、n' 型多結晶シリコン層を下層とし、上層をタングステンシリサイド層としたポリサイド構造から構成されており、P 型 MOS トランジスタにおいては、B や BF_2 といった p 型不純物を含有した多結晶シリコン層（以下、p' 型多結晶シリコン層と呼ぶ）を下層とし、上層をタングステンシリサイド層としたポリサイド構造から構成されている。また、N 型 MOS トランジスタのゲート電極と P 型 MOS トランジスタのゲート電極との間の配線は、これらのゲート電極と一体に作製されるが、場合によっては、不純物を含有していない多結晶シリコン層（以下、便宜上、ノンドープの多結晶シリコン層と呼ぶ）を下層とし、上層をタングステンシリサイド層とした構造から構成されている。

【0004】 あるいは又、ポリサイド構造を有するゲート電極の一種である、所謂フルポリサイド構造を有するゲート電極が知られている。この構造のゲート電極は、ゲート酸化膜上にノンドープの多結晶シリコン層を形成した後、かかるノンドープの多結晶シリコン層をパターンニングし、ゲート電極の形状を得る。次いで、パターンニングされたノンドープの多結晶シリコン層及びシリコン半導体基板に n 型不純物及び／又は p 型不純物をイオン注入した後、全面にチタン層を成膜する。そして、第 1 回目のアニール処理を施すことによって、多結晶シリコン層及びシリコン半導体基板を構成する Si と Ti とを反応させ、多結晶シリコン層の上部及びシリコン半導体基板の表層部に C49 構造を有するチタンシリサイド (TiSi_x) を形成する。多結晶シリコン層あるいはシリコン半導体基板以外の上に成膜されたチタン層は Si と反応しない。その後、アンモニア過水等を用いて未反応のチタン層を除去する。そして、第 2 回目のアニール処理を施すことによって、C49 構造を有するチタンシリサイド (TiSi_x) を、結晶構造がより安定な構造 (C54 構造) を有するチタンシリサイド (TiSi_2) とする。これによって、下層及び上層のそれぞれが n' 型多結晶シリコン層及びチタンシリサイド層から成るゲート電極、及び／又は、下層及び上層のそれぞれが p' 型多結晶シリコン層及びチタンシリサイド層から成るゲート電極が形成される。

【0005】 このようなデュアルゲート構造あるいはフルポリサイド構造を有するゲート電極の形成においては、n' 型多結晶シリコン、p' 型多結晶シリコン層、ノンドープの多結晶シリコン層を同時にエッチングする必要がある、あるいは又、ノンドープの多結晶シリコン層をエッチングする必要がある。

【0006】 ところで、多結晶シリコン層は、塩素ラジ

10

20

30

40

50

カルに基づき、以下の反応機構によってエッチングされる。

① 多結晶シリコン層の表面に、塩素原子 (Cl)、塩素ラジカル (Cl^\bullet)、塩素イオン (Cl^-) 等が吸着する。

② 多結晶シリコン層の表面に塩素イオン (Cl^-) が入射することで格子振動としてのエネルギーが、多結晶シリコン層の表面に吸着した塩素原子 (Cl)、塩素ラジカル (Cl^\bullet)、塩素イオン (Cl^-) 等に与えられる。

③ その結果、反応生成物として塩化シリコン (SiCl_x) が生成され、それが多結晶シリコン層の表面から離脱する。

【0007】ここで、多結晶シリコン層のエッチングレートは、②の多結晶シリコン層の表面に入射する塩素イオン (Cl^-) のエネルギーが一定且つ十分である条件下において、①における塩素ラジカル (Cl , Cl^\bullet , Cl^-) の吸着量によって決定されと考えられている。特に、 Cl (塩素) は電気陰性度が高いため、イオン衝撃による外部からのエネルギーの入力が無い場合には、容易に電子吸着を起こし、塩素イオン (Cl^-) となる。このような負イオンは、一般に、中性粒子よりも反応性が高い。従って、多結晶シリコン層の表面における Cl^- の濃度が高い程、多結晶シリコン層のエッチングレートが高くなる。

【0008】多結晶シリコン層の表面における Cl^- の量は、 n' 型多結晶シリコン層の場合、吸着した中性の塩素原子に n' 型多結晶シリコン層中の伝導電子がトンネル効果によって供与されることによって、比較的多くなる。従って、多結晶シリコン層中の伝導電子が多い程、即ち、多結晶シリコン層を n' 型とするための不純物が多い程、あるいは又、不純物の活性化の度合いが高い程、 Cl^- の生成量が増加し、その結果、多結晶シリコン層のエッチングレートも高くなる。これとは逆に、 n 型多結晶シリコン層や p' 型多結晶シリコン層の場合には、相対的に Cl^- の生成量が少なく、その結果、それらのエッチングレートは低い。

【0009】

【発明が解決しようとする課題】例えば、シリコン半導体基板10の表面に SiO_2 から成るゲート酸化膜12が形成され、その上に多結晶シリコン層13が形成された状態で、ゲート電極を形成する工程を想定する。この場合には、全面にレジスト材料を塗布し、かかるレジスト材料をフォトリソグラフィ技術を用いてパターンニングする(図11の(A)の模式的な一部断面図参照)。そして、このパターンニングされたレジスト材料14をエッチング用マスクとして用いて、多結晶シリコン層13をエッチングする。このとき、図11の(B)に模式的な一部断面図に示すように、生成した反応生成物である塩化シリコン (SiCl_x) の一部は、形成されつつある

ゲート電極15の側壁に付着する。あるいは又、塩化シリコン (SiCl_x) の一部はエッチング雰囲気中の酸素原子と反応し、酸化塩化シリコン (SiCl_xO_y) が生成される。そして、かかる酸化塩化シリコン (SiCl_xO_y) も、形成されつつあるゲート電極15の側壁に付着する。尚、図11の(B)においては、これらの形成されつつあるゲート電極の側壁に付着した塩化シリコン (SiCl_x) や酸化塩化シリコン (SiCl_xO_y) を、側壁保護膜16として示す。

10 【0010】一般的には、このように形成されつつあるゲート電極15の側壁に側壁保護膜16を或る程度の量、付着させる必要がある。ゲート電極15の側壁に側壁保護膜16を全く付着させない場合、あるいは側壁保護膜16の膜厚が薄すぎる場合、ゲート電極15の側壁が過剰にエッチングされ、ゲート電極15の側壁が下向きに窄まったテーパ状となる結果、ゲート電極15のゲート長が所望の値よりも短くなる。あるいは、ノッチング現象によるゲート電極の形状不良が生じる。ここで、ノッチング現象とは、ゲート電極15の側壁に付着した側壁保護膜16の一部分が破れ、その部分からゲート電極の側壁に対するエッチングが進行する現象を指す。

20 【0011】一方、図11の(B)に示すように、形成されつつあるゲート電極15の側壁に側壁保護膜16が過剰に付着すると、形成されたゲート電極15の側壁が下方に向かって広がったテーパ状となり、ゲート電極15のゲート長 L が所望のゲート長 L_0 よりも広くなる。($L - L_0$) の値 (寸法変換差とも呼ばれる) は、 $0.10 \sim 0.12 \mu\text{m}$ 程度にもなる。このように寸法変換差が大きくなる現象は、 n 型多結晶シリコン層や p' 型多結晶シリコン層をエッチングする場合、エッチングレートが低い故に、著しい。エッチングレートは、多結晶シリコン層のエッチングと反応生成物の多結晶シリコン層への堆積の割合によって規定される。エッチングレートが低い場合、多結晶シリコン層のエッチングによって生成された反応生成物に対するエッチング雰囲気中の酸素濃度が相対的に高い。その結果、反応生成物である塩化シリコン (SiCl_x) は容易に酸化され、より一層多くの酸化塩化シリコン (SiCl_xO_y) が生成される。それ故、ゲート電極15の側壁へ付着する側壁保護膜16の量は、エッチングレートの高い n' 型多結晶シリコン層をエッチングする場合よりも多くなり、寸法変換差が大きくなる。

30 【0012】ゲート電極の側壁にテーパが形成されるとゲート長が増加する結果、半導体装置特性に変動が生じる。このような現象を抑制するために、エッチング装置の排気能力を向上させ、反応生成物を速やかにエッチング装置の系外に排出する方法が提案されているが、実質的に現状のエッチング装置の改造が必要とされといった問題がある。しかも、本来、或る程度の厚さの側壁

保護膜が必要とされるが、反応生成物が速やかにエッチング装置の系外に排出されると、側壁保護膜が薄くなりすぎ、ゲート電極15の側壁が過剰にエッチングされたり、ノッチング現象が発生する。

【0013】以上の問題点は、デュアルゲート構造あるいはフルサリサイド構造を有するゲート電極の形成においても同様に生じる。

【0014】従って、本発明の目的は、半導体装置における配線の形成において、所望の幅、形状を有する配線を確実にエッチング法にて形成することを可能にする半導体装置における配線の形成方法を提供することにある。

【0015】

【課題を解決するための手段】上記の目的を達成するための本発明の半導体装置における配線の形成方法は、

(イ) 基体上に、不純物を含有していない若しくはp型不純物を含有するシリコン系材料層を形成する工程と、

(ロ) 配線を形成すべき部分以外の該シリコン系材料層に、n型不純物をイオン注入する工程と、(ハ) n型不純物がイオン注入されたシリコン系材料層をエッチングし、以て、不純物を含有していない若しくはp型不純物を含有するシリコン系材料層から成る配線を形成する工程、から成ることを特徴とする。

【0016】ここで、シリコン系材料層は、多結晶シリコン、非晶質シリコンあるいは単結晶シリコンから構成される。尚、非晶質シリコンを出発物質として得られた多結晶シリコン若しくは単結晶シリコン、あるいは又、多結晶シリコンを出発物質として得られた単結晶シリコンであってもよい。また、p型不純物としては、ホウ素(B)、2フッ化ホウ素(BF₂)を挙げることができる。n型不純物としては、リン(P)、ヒ素(As)を挙げることができる。また、不純物を含有していないシリコン系材料層とは、n型不純物やp型不純物を実質的に添加することなく形成されたシリコン系材料層を意味する。p型不純物を含有するシリコン系材料層にn型不純物をイオン注入する場合のn型不純物のドーズ量は、イオン注入後のシリコン系材料層の導電型が確実にn型となるようなドーズ量とする。

【0017】本発明の半導体装置における配線の形成方法においては、n型不純物がイオン注入されたシリコン系材料層のエッチングを、塩素系エッチングガスを用いて、塩素ラジカルに基づき行うことが好ましい。イオン注入あるいはエッチングの際に用いられるマスクは、レジスト材料から構成するだけでなく、シリコン系材料層とエッチング選択比の高い材料、例えば、SiO₂やSi₃N₄から構成することができる。更には、イオン注入の際に用いられるマスクとエッチングの際に用いられるマスクとを兼用することもできる。

【0018】先に説明したように、例えば多結晶シリコンから成るシリコン系材料層のエッチングは、シリコン

系材料層の表面に吸着した中性塩素ラジカルに電子が供給されることによって促進される。本発明においては、シリコン系材料層にn型不純物をイオン注入する。これによって、シリコン系材料層の表面に吸着した中性塩素ラジカルにシリコン系材料層から電子が十分に供給される結果、かかるシリコン系材料層をエッチングするとき、不純物を含有していない若しくはp型不純物を含有するシリコン系材料層をエッチングする場合と比較して、高いエッチングレートを得ることができる。尚、シリコン系材料層に含有されたn型不純物の活性化処理を行えば、一層高いエッチングレートを得ることができる。ここで、多結晶シリコン層へのn型不純物であるリン(P)のドーズ量、及びp型不純物であるBF₂のドーズ量と、多結晶シリコン層のエッチングレートとの関係を、図2のグラフに示す。図2からも明らかなように、リンのドーズ量が増加すると、多結晶シリコン層のエッチングレートは増加する。一方、BF₂のドーズ量が増加すると、多結晶シリコン層のエッチングレートは減少する。

【0019】本発明においては、シリコン系材料層にn型不純物をイオン注入する結果、単位時間当たりのSiCl_xから成る反応生成物の生成量は増加するものの、エッチング雰囲気中における酸素原子/SiCl_xの割合が相対的に小さくなるので、SiCl_xの酸化が進行し難くなり、エッチング中に配線の側壁に付着する側壁保護膜の量が減少する。それ故、形成されつつある配線の側壁が下方に向かって広がったテーパー状となることを抑制でき、所望の幅、形状を有する配線を確実に形成することができる。

【0020】本発明における配線の形態としては、所謂デュアルゲート構造やフルサリサイド構造を有するゲート電極の一部を構成する、不純物を含有していない若しくはp型不純物を含有するシリコン系材料層から成るゲート電極を例示することができる。この場合、かかるゲート電極は、n型不純物を含有するゲート電極から延在している形態(所謂デュアルゲート構造)とすることもできる。あるいは又、薄膜トランジスタにおける上部電極、素子分離領域上や絶縁層上の配線等を例示することができる。

【0021】本発明の半導体装置における配線の形成方法においては、n型不純物がイオン注入された前記シリコン系材料層のエッチングを、パルス放電可能なエッチング装置にて行う態様を挙げることができる。このようなエッチング装置を用いると、プラズマ中で多結晶シリコン層をエッチングするとき、多結晶シリコン層の表面に入射する負イオン(例えば、Cl⁻イオン)の濃度(量)を制御することが可能となり、n型多結晶シリコン層のエッチングレートと、p型やノンドープの多結晶シリコン層のエッチングレートの差異を少なくすることができる。プラズマ中の負イオン濃度の制御は、プ

ラズマが拡散していく領域での電子温度を変化させることで制御することができる。あるいは又、プラズマ中の負イオン濃度の制御は、負イオンが存在し得るような電子温度において生成されるパルスプラズマ領域中の電子温度を変化させることで制御することができる。電子温度は、具体的には、オンとオフを繰り返すパルス放電のオフ期間（時間）の制御によって変化させることができる。即ち、パルス放電のオフ期間においては、プラズマ中の電子密度が低下し、電子温度が急激に低下する。その結果、プラズマ中の負イオン濃度が上昇する。パルス放電のオフ期間（時間）は、 0.5μ 秒以上 30μ 秒以下、好ましくは 0.5μ 秒以上 10μ 秒以下とすることが望ましい。尚、放電の1周期中の電子温度平均値は、 1 eV 乃至 5 eV であることが好ましい。また、プラズマのポテンシャルよりも高い正のバイアスを基体に印加することが望ましく、この場合、バイアスはパルス状であることが一層望ましい。また、パルス状のバイアスを、プラズマ中の負イオン濃度が最も高くなるときに同期して基体に印加することが好ましい。

【0022】

【発明の実施の形態】以下、図面を参照して、発明の実施の形態（以下、実施の形態と略称する）に基づき本発明を説明する。

【0023】（実施の形態1）実施の形態1においては、シリコン半導体基板の表面に形成されたゲート酸化膜から基体を構成する。シリコン系材料層として不純物を含有していない多結晶シリコン層（ノンドープの多結晶シリコン層）を用いた。また、n型不純物のイオン注入用とシリコン系材料層のエッチング用とを兼用するマスクを、レジスト材料から形成した。更には、実施の形態1においては、ECR（Electron Cyclotron Resonance）方式のエッチング装置を用いて配線の形成を行った。以下、実施の形態1の配線の形成方法を、半導体基板等の模式的な一部断面図である図1を参照して説明する。

【0024】【工程-100】まず、シリコン半導体基板から成る半導体基板10に、例えば、 950°C でのウェット酸化法を含むLOCOS法に基づき素子分離領域11を形成する。尚、素子分離領域11はトレンチ構造を有していてもよい。その後、例えば H_2/O_2 ガスを使用し、半導体基板温度を 850°C としたパイロジェニック酸化法により、 SiO_2 から成るゲート酸化膜12を半導体基板10の表面に形成する。

【0025】【工程-110】次に、LPCVD法にて、基体であるゲート酸化膜12上にノンドープの多結晶シリコン層13を形成する。そして、多結晶シリコン層13の上にレジスト材料を塗布し、かかるレジスト材料をフォトリソグラフィ技術に基づきパターンニングすることによって、シリコン系材料層である多結晶シリコン層13上にイオン注入用とエッチング用とを兼ねたマ

スク14が形成される。マスク14は、配線であるゲート電極を形成すべき部分の上方に形成される。こうして、図1の（A）に示す構造を得ることができる。

【0026】【工程-120】その後、配線を形成すべき部分以外のシリコン系材料層に、n型不純物をイオン注入する。即ち、マスク14をイオン注入用マスクとして用いて、多結晶シリコン層13にn型不純物をイオン注入する（図1の（B）参照）。これによって、多結晶シリコン層13のエッチングされる部分13A（マスク14によって被覆されていない部分であり、多結晶シリコン層13の配線を形成すべき部分以外の部分である）のみにn型不純物が導入され、多結晶シリコン層13のエッチングされる部分13Aに伝導に寄与する電子が多数存在するようになる。イオン注入の条件を以下に例示する。

イオン種：P

ドーズ量： $3 \times 10^{15} / \text{cm}^2$

加速電圧： 1.5 keV

【0027】【工程-130】次に、マスク14をエッチング用マスクとして用いて、イオン注入されたシリコン系材料層（多結晶シリコン層の一部分13A）をエッチングし、以て、不純物を含有していないシリコン系材料層（多結晶シリコン層13）から成る配線であるゲート電極15を形成する（図1の（C）参照）。エッチング条件を以下に例示する。尚、n型多結晶シリコン層のエッチングレートが高いため、ゲート電極15の側壁に付着する側壁保護膜16の厚さは薄い。

使用ガス： $\text{Cl}_2/\text{O}_2 = 7.5/2\text{ sccm}$

圧力： 0.4 Pa

基板温度： 30°C

マイクロ波パワー： 850 W （連続波）

RFバイアス： 70 W

エッチングレート： 200 nm/分

【0028】【工程-140】その後、アッシング処理によってマスク14を除去するが、このとき、側壁保護膜16も除去される。次いで、LDD構造を形成するために、シリコン半導体基板10に不純物のイオン注入を行い、次いで、ゲート電極15の側壁に SiO_2 から成るゲートサイドウォールを形成した後、シリコン半導体基板10に不純物のイオン注入を行う。次いで、イオン注入された不純物の活性化処理をラピッド・サーマル・アニール（RTA, Rapid Thermal Annealing）法にて行うことによって、ソース・ドレイン領域が形成される。その後、全面に層間絶縁層を形成し、ソース・ドレイン領域の上方の層間絶縁層に開口部を形成し、例えば、開口部内を含む層間絶縁層上に配線材料をスパッタ法にて成膜し、層間絶縁層上の配線材料をパターンニングすることによって半導体装置を作製する。

【0029】実施の形態1においては、【工程-120】において、多結晶シリコン層13にn型不純物をイ

オン注入するが故に、[工程-130]におけるエッチングレートの低下を抑制することができる。その結果、形成されつつある配線（ゲート電極15）の側壁がテーパー状となることを防止でき、所望の幅、形状を有する配線（ゲート電極15）を確実に形成することができる。しかも、マスク14によって被覆されている多結晶シリコン層の部分（ゲート電極を形成すべき多結晶シリコン層の部分13B）は、不純物を含有していないが故に、そのエッチングレートは低く、かかる部分はエッチングされ難く、ノッチングも発生し難い。

【0030】（実施の形態2）実施の形態2においては、配線に相当するゲート電極をデュアルゲート構造とした。また、実施の形態2においても、シリコン半導体基板の表面に形成されたゲート酸化膜から基体を構成した。シリコン系材料層としては、p型不純物を含有する多結晶シリコン層を用いた。尚、多結晶シリコン層は、非晶質シリコン層を形成した後、かかる非晶質シリコン層を結晶化することによって形成した。より具体的には、配線に相当するゲート電極は、p型不純物を含有した多結晶シリコン層（p'型多結晶シリコン層）を下層とし、上層をタングステンシリサイド層としたポリサイド構造から構成されている。尚、実施の形態2においては、かかるゲート電極はP型MOSトランジスタの一部分を構成し、かかるゲート電極は、N型MOSトランジスタの一部分を構成するゲート電極から延在している。N型MOSトランジスタの一部分を構成するゲート電極は、n型不純物を含有した多結晶シリコン層（n'型多結晶シリコン層）を下層とし、上層をタングステンシリサイド層としたポリサイド構造から構成されている。実施の形態2においては、n型不純物のイオン注入用マスクとシリコン系材料層のエッチング用マスクを別のマスクとし、マスクの材料をレジスト材料とした。更に、実施の形態2においても、ECR方式のエッチング装置を用いて配線の形成を行った。以下、実施の形態2の配線の形成方法を、半導体基板等の模式的な一部断面図である図3～図5を参照して説明する。

【0031】[工程-200] 先ず、実施の形態1と同様に、シリコン半導体基板から成る半導体基板10に素子分離領域11を形成した後、SiO₂から成るゲート酸化膜12を半導体基板10の表面に形成する。

【0032】[工程-210] 次いで、非晶質シリコン層20を全面に堆積させた後、P型MOS型半導体装置形成予定領域におけるゲート電極を形成すべき非晶質シリコン層の部分20Aにp型不純物をイオン注入し、次いで、かかる部分20Aを除く非晶質シリコン層の部分20Bにn型の不純物をイオン注入する。具体的には、例えば、SiH₄を原料ガスとし、堆積温度を550°Cとした減圧CVD法により、厚さ約120nmの非晶質シリコン層20を全面に堆積させる（図3の（A）参照）。

【0033】そして、非晶質シリコン層20上にレジスト材料を塗布した後、リソグラフィ技術に基づき、P型MOS型半導体装置形成予定領域におけるゲート電極を形成すべき部分の上方のレジスト材料に開口部を形成することで、イオン注入用マスク21Aを形成する。そして、このイオン注入用マスク21Aを用いて、P型MOS型半導体装置形成予定領域におけるゲート電極を形成すべき非晶質シリコン層の部分20Aに、例えば、加速電圧5keV、ドーズ量 $5 \times 10^{15} / \text{cm}^2$ の条件で、

10 ホウ素をイオン注入する（図3の（B）参照）。こうして、p型不純物がイオン注入された非晶質シリコン層20Aが得られる。このp型不純物がイオン注入された非晶質シリコン層20Aから、P型MOS型半導体装置を構成するゲート電極が後の工程で形成される。

【0034】次いで、P型MOS型半導体装置形成予定領域におけるゲート電極を形成すべき非晶質シリコン層の部分20Aの上に、リソグラフィ技術に基づきイオン注入用マスク21Bを形成する。その後、加速電圧10keV、ドーズ量 $5 \times 10^{15} / \text{cm}^2$ の条件で、リンをイオン注入する（図4の（A）参照）。こうして、n型不純物がイオン注入された非晶質シリコン層20Bが得られる。尚、n型不純物がイオン注入された非晶質シリコン層20Bの一部分から、N型MOS型半導体装置を構成するゲート電極が後の工程で形成される。

【0035】以上のイオン注入によって、非晶質シリコン層20の内、P型MOS型半導体装置のゲート電極を形成すべき部分（20A）にはp型不純物が含有され、N型MOS型半導体装置のゲート電極を形成すべき部分を含むその他の非晶質シリコン層の部分20Bにはn型不純物が含有された状態が得られる。尚、P型MOS型半導体装置のゲート電極を形成すべき部分（20A）に隣接した非晶質シリコン層の部分にはn型不純物が含有されている。

【0036】[工程-220] 次いで、アニール処理を行い、非晶質シリコン層20A、20Bを結晶化して多結晶シリコン層22A、22Bを形成すると共に、不純物を多結晶シリコン層22A、22B内に拡散させる。アニール処理の条件を以下のとおりとした。

昇温開始温度：600°C

40 昇温速度：5°C/分

昇温終了温度：800°C

昇温終了後：800°Cで10分間、その状態を保持

【0037】これによって、非晶質シリコンが結晶化され、CVD法にて得られる多結晶シリコンよりも大きな粒径の多結晶シリコンを得ることができ、粒界を減少させることができる。しかも、イオン注入された不純物は多結晶シリコン層22A、22B内に拡散する。即ち、半導体装置の製造工程数を削減し、アニール時間を短縮しながら、多結晶シリコンの大粒径化、多結晶シリコン層への不純物の拡散を行うことができる。

【0038】 [工程-230] その後、例えば、 WF_6 / SiH_4 を原料ガスとし、堆積温度を 380°C とした減圧CVD法によって、厚さ 70nm のタングステンシリサイド層23を全面に堆積させる (図4の (B) 参照)。

【0039】 次いで、例えば、 SiH_4 / O_2 を原料ガスとし、堆積温度を 420°C としたCVD法により、 SiO_2 から成る厚さ 150nm のオフセット酸化膜24を全面に堆積させることが好ましい。オフセット酸化膜24を形成することによって、高濃度拡散領域 (ソース・ドレイン領域) を形成するためのイオン注入の際に不純物が同時にタングステンシリサイド層23中にイオン注入されることを防止でき、タングステンシリサイド層23中へ拡散する不純物を減少させることができる。

【0040】 [工程-240] その後、オフセット酸化膜24、タングステンシリサイド層23並びに多結晶シリコン層22A、22Bをパターンニングしてゲート電極25A、25Bを形成する (図5参照)。具体的には、リソグラフィ技術に基づき、レジスト材料から成るエッチング用マスク (図示せず) を形成する。このエッチング用マスクは、P型MOS型半導体装置のゲート電極を形成すべき部分の上方、及び、N型MOS型半導体装置のゲート電極を形成すべき部分の上方に位置するように形成される。そして、パターンニングされたエッチング用マスクを用いて、オフセット酸化膜24をフロロカーボン系のエッチングガスにより異方性エッチングし、タングステンシリサイド層23及び多結晶シリコン層22A、22Bを Cl_2 / O_2 をエッチングガスとして異方性エッチングする。尚、図5の紙面垂直方向にゲート電極25A、25Bのそれぞれは延びている。そして、かかるゲート電極25A、25Bは、隣接するN型MOS型半導体装置及びP型MOS型半導体装置のゲート電極25B、25Aと一体に形成されている。図5の紙面垂直方向にN型MOS型半導体装置及びP型MOS型半導体装置を切断した状態を、デュアルゲート構造のCMOS型半導体装置の模式的な一部断面図として、図10に示す。但し、図10においてはオフセット酸化膜の図示を省略した。タングステンシリサイド層23及び多結晶シリコン層22A、22Bの2段階のエッチング条件を以下に例示する。尚、第1段階でタングステンシリサイド層23の全て及び多結晶シリコン層22A、22Bの一部のエッチングを行い、第2段階で多結晶シリコン層22A、22Bの全てのエッチング及びオーバーエッチングを行う。

第1段階

使用ガス: Cl_2 / $\text{O}_2 = 75 / 6\text{sccm}$

圧力: 0.5Pa

基板温度: 0°C

マイクロ波パワー: 850W (連続波)

RFバイアス: 60W

第2段階

使用ガス: Cl_2 / $\text{O}_2 = 75 / 6\text{sccm}$

圧力: 0.5Pa

基板温度: 0°C

マイクロ波パワー: 850W (連続波)

RFバイアス: 20W

【0041】 [工程-250] その後、公知の方法でデュアルゲート構造のCMOS型半導体装置を完成させる。即ち、N型MOS型半導体装置形成予定領域に、例えば加速電圧 20keV 、ドーズ量 $5 \times 10^{13} / \text{cm}^2$ の条件でヒ素をイオン注入し、低濃度拡散領域を形成する。また、P型MOS型半導体装置形成予定領域に、例えば加速電圧 20keV 、ドーズ量 $2 \times 10^{13} / \text{cm}^2$ の条件で BF_3 をイオン注入し、低濃度拡散領域を形成する。次いで、減圧CVD法により厚さ 150nm の SiO_2 を全面に堆積させた後、 SiO_2 を異方性エッチングすることによって、ゲート電極25A、25Bの側壁にゲートサイドウォールを形成する。

【0042】 次に、N型MOS型半導体装置形成予定領域に、例えば加速電圧 20keV 、ドーズ量 $3 \times 10^{15} / \text{cm}^2$ の条件でヒ素をイオン注入し、高濃度拡散領域 (ソース・ドレイン領域) を形成する。また、P型MOS型半導体装置形成予定領域に、例えば加速電圧 20keV 、ドーズ量 $3 \times 10^{15} / \text{cm}^2$ の条件で BF_3 をイオン注入し、高濃度拡散領域 (ソース・ドレイン領域) を形成する。その後、RTA法により、 $1000^\circ\text{C} \times 10$ 秒の条件で、半導体基板10にイオン注入された不純物の活性化処理を行う。次に、全面に層間絶縁層を形成し、高濃度拡散領域の上方の層間絶縁層に開口部を形成し、次いで、開口部内を含む層間絶縁層上に、例えば、Ti層、TiN層、アルミニウム系合金から成る配線材料層を順次スパッタ法にて形成した後、層間絶縁層上の配線材料層、TiN層、Ti層をパターンニングし、配線を完成する。尚、Ti層は、開口部底部の配線材料層と高濃度拡散領域との間のコンタクト抵抗の低減を目的として形成される。また、TiN層は、開口部底部の配線材料層が高濃度拡散領域を突き抜けることを防止するバリア層としての機能を有する。

【0043】 実施の形態2においては、[工程-210]において、非晶質シリコン層の内、P型MOS型半導体装置のゲート電極を形成すべき部分にはp型不純物が含有され、N型MOS型半導体装置のゲート電極を形成すべき部分を含むその他の非晶質シリコン層にはn型不純物が含有された状態が得られる。従って、[工程-240]において、P型MOS型半導体装置形成予定領域におけるn型不純物を含有した多結晶シリコン層22Bの部分のエッチングレートを上向きさせることができるので、形成されつつある配線 (P型MOS型半導体装置におけるゲート電極25A) の側壁がテーパー状となることを防止でき、所望の幅、形状を有する配線 (ゲート

電極25A)を確実に形成することができる。しかも、エッチング用マスクによって被覆されている多結晶シリコン層の部分(P型MOS型半導体装置におけるゲート電極を形成すべき多結晶シリコン層の部分)のエッチングレートが低いため、かかる部分がエッチングされ難く、ノッチングも発生し難くなる。

【0044】(実施の形態3)実施の形態3においては、配線に相当するゲート電極をフルサリサイド構造とした。また、実施の形態3においても、シリコン半導体基板の表面に形成されたゲート酸化膜から基体を構成した。シリコン系材料層としてノンドープの多結晶シリコン層を用いた。より具体的には、配線に相当するゲート電極は、多結晶シリコン層を下層とし、上層をチタンシリサイド層とした構造から構成されている。ゲート電極の下層である多結晶シリコン層をパターンニングする際には、かかる多結晶シリコン層には不純物が含有されていない。実施の形態3においては、n型不純物のイオン注入用マスクとシリコン系材料層のエッチング用マスクを兼用とし、マスクの材料をレジスト材料とした。更に、実施の形態3においても、ECR方式のエッチング装置を用いて配線の形成を行った。以下、実施の形態3の配線の形成方法を、半導体基板等の模式的な一部断面図である図6及び図7を参照して説明する。

【0045】[工程-300] 先ず、実施の形態1と同様に、シリコン半導体基板から成る半導体基板10に素子分離領域11を形成した後、 SiO_2 から成るゲート酸化膜12を半導体基板10の表面に形成する。

【0046】[工程-310] 次に、LPCVD法にて、基体であるゲート酸化膜12上にノンドープの多結晶シリコン層30を形成する。そして、多結晶シリコン層30の上にレジスト材料を塗布し、フォトリソグラフィ技術に基づきかかるレジスト材料をパターンニングすることによって、シリコン系材料層である多結晶シリコン層30上にイオン注入用とエッチング用とを兼ねたマスク31が形成される。こうして、図6の(A)に示す構造を得ることができる。

【0047】[工程-320] その後、配線を形成すべき部分以外のシリコン系材料層に、n型不純物をイオン注入する。即ち、マスク31をイオン注入用マスクとして用いて、多結晶シリコン層30にn型不純物をイオン注入する(図6の(B)参照)。これによって、多結晶シリコン層30中のエッチングされる部分(マスク31によって被覆されていない部分30A)のみにn型不純物が導入される。その結果、多結晶シリコン層30のエッチングされる部分30Aには伝導に寄与する電子が多数存在するようになる。イオン注入の条件は、実施の形態1の[工程-120]と同様とすることができる。

【0048】[工程-330] 次に、マスク31をエッチング用マスクとして用いて、イオン注入されたシリコン系材料層(多結晶シリコン層30A)をエッチング

し、以て、ノンドープのシリコン系材料層(多結晶シリコン層30B)から成る配線であるゲート電極の一部32を形成する(図6の(C)参照)。エッチング条件は、実施の形態1の[工程-130]と同様とすることができる。

【0049】[工程-340] その後、マスク31を除去し、LDD構造を形成するために、シリコン半導体基板10に不純物のイオン注入を行い、次いで、パターンニングされた多結晶シリコン層30Bの側壁に SiO_2 から成るゲートサイドウォール33を形成した後、シリコン半導体基板10に不純物のイオン注入を行う。次いで、イオン注入された不純物のRTA法による活性化処理を行うことによって、ソース・ドレイン領域34が形成される。これらのイオン注入によって、多結晶シリコン層30Bから成るゲート電極の一部32にも不純物がイオン注入される。

【0050】[工程-350] その直後、Ti層35を、以下に例示する条件のスパッタ法にて、全面に成膜する(図7の(A)参照)。

膜厚 : 30nm

使用ガス : $\text{Ar} = 100\text{sccm}$

パワー : 1kW

成膜温度 : 150°C

圧力 : 0.47Pa

【0051】[工程-360] 次に、RTA法に基づき第1次アニール処理を行い、ソース・ドレイン領域34上及びパターンニングされた多結晶シリコン層30B(ゲート電極の一部32)上に堆積したTi層35と、シリコン半導体基板10及び多結晶シリコン層30Bを構成するSiとを反応させ、C49構造を有する TiSi_x から成るチタンシリサイド層36を形成する。第1次アニール処理の条件を以下に例示する。この状態を、図7の(B)に示す。

使用ガス : $\text{N}_2 = 5\text{リットル/分}$

アニール温度 : 650°C

アニール時間 : 30秒

【0052】その後、アンモニア過水($\text{NH}_4\text{OH}/\text{H}_2\text{O}_2/\text{H}_2\text{O}$)に浸漬することによって、素子分離領域11やゲートサイドウォール33上の未反応のTi層35を選択的に除去する。

【0053】次いで、RTA法に基づき第2次アニール処理を行い、ソース・ドレイン領域34上及びパターンニングされた多結晶シリコン層30(ゲート電極の一部32)上のC49構造を有する TiSi_x を、安定なC54構造を有する TiSi_2 とし、 TiSi_2 から成るチタンシリサイド層36Aを得る(図7の(C)参照)。こうして、所謂フルサリサイド構造のゲート電極を得ることができる。第2次アニール処理の条件を以下に例示する。

使用ガス : $\text{N}_2 = 5\text{リットル/分}$

アニール温度：800°C

アニール時間：30秒

【0054】[工程-370]その後、全面に層間絶縁層を形成し、ソース・ドレイン領域の上方の層間絶縁層に開口部を形成し、開口部内を、例えば、所謂ブランケットタングステンCVD法にてタングステンで埋め込み、コンタクトプラグを形成した後、層間絶縁層上に配線材料をスパッタ法にて成膜し、層間絶縁層上の配線材料をパターニングすることによって半導体装置を作製する。

【0055】実施の形態3においては、[工程-320]において、多結晶シリコン層30にn型不純物をイオン注入するが故に、[工程-330]におけるエッチングレートの低下を抑制することができる。その結果、形成されつつある配線（ゲート電極の一部32）の側壁がテーパ状となることを防止でき、所望の幅、形状を有する配線（ゲート電極の一部32）を確実に形成することができる。しかも、マスク31によって被覆されている部分（ゲート電極を形成すべき多結晶シリコン層の部分30B）は、不純物を含有していないが故に、そのエッチングレートは低く、かかる部分がエッチングされ難く、ノッチングも発生し難い。

【0056】（実施の形態4）実施の形態4は、実施の形態1～実施の形態3の変形である。実施の形態4が実施の形態1～実施の形態3と相違する点は、イオン注入されたシリコン系材料層のエッチングを、パルス放電可能なエッチング装置にて行う点にある。実施の形態4のイオン注入されたシリコン系材料層のエッチングにおける、ソースパルス電界強度、エッチング雰囲気電子密度、エッチング雰囲気電子温度、エッチング雰囲気負イオン濃度、バイアスパルス電界強度のそれぞれを、図8のタイミングチャートに模式的に示す。尚、図8の横軸はタイミングを示す。

【0057】高密度プラズマを生成するドライエッチング装置によって、n'多結晶シリコン層、p'型多結晶シリコン層、ノンドープの多結晶シリコン層を同時にエッチングする場合、各層のエッチングレートの差が小さくなるように、エッチング時、これらの多結晶シリコン層の表面に入射する負イオン（例えば、Cl⁻イオン）の濃度（量）を制御する必要がある。プラズマ中の負イオン濃度の制御は、プラズマが拡散していく領域（空間的アフターグロー）での電子温度を変化させることで制御することができる。あるいは又、プラズマ中の負イオン濃度の制御は、負イオンが存在し得るような電子温度において生成されるパルスプラズマ領域（時間的アフターグロー）中の電子温度を変化させることで制御することができる。空間的若しくは時間的アフターグロー中においては、負イオンが多く生成されるため、そのような領域の電子温度を変化させることによって負イオン濃度を容易に制御することができる。電子温度は、具体的に

は、オンとオフを繰り返すパルス放電のオフ期間（時間）の制御によって変化させることができる。即ち、パルス放電のオフ期間においては、プラズマ中の電子密度が低下し、電子温度が急激に低下する。その結果、プラズマ中の負イオン濃度が上昇する。

【0058】具体的には、図8に示すように、ドライエッチング装置のエッチングチャンバ内に導入するソース電界をパルス電界（以下、ソースパルス電界と呼ぶ）とする。即ち、例えば、パルス放電のオフ期間（時間） t_{off} を0.5μ秒以上30μ秒以下、好ましくは0.5μ秒以上10μ秒以下としたパルス放電によってソースパルス電界を形成する。尚、以降、「オン」とはパルスが印加されている状態を指し、「オフ」とはパルスが印加されていない状態を指す。パルス放電のオフ期間 t_{off} が0.5μ秒未満の場合、負イオンが十分に生成される前に再びオンになり、エッチングレートが低下する。一方、パルス放電のオフ期間 t_{off} が30μ秒未満を超える場合、電子密度が低下するために、やはりエッチングレートが低下する。ソースパルス電界の印加期間（オン期間） t_s は、オン・オフの1周期T内において適宜選択すればよい。

【0059】また、半導体基板に供給されるバイアス電界をパルス電界（以下、バイアスパルス電界と呼ぶ）とし、バイアスパルス電界の印加期間（時間） t_b を、上記オン・オフの1周期Tの内のパルス放電のオフ期間 t_{off} 内において、適宜選択すればよい。例えば、ソースパルス電界がオフになっているときの、例えば最後の3μ秒（オフからオンに換わる直前の3μ秒）に限り、正のバイアスパルス電界を印加する。

【0060】図8に示すようにパルス電界を印加すると、ソースパルス電界がオフの時、電子密度が減少し、電子温度が低下する結果、負イオン濃度が増加する。正確にいうならば、負イオンの電子の再脱離の反応が電子温度を低くしている。そして、放電の1周期T中の電子温度平均値は、1eV以上5eV以下、望ましくは3eV程度の状態になるように設定することが好ましい。尚、電子温度平均値が1eV未満の場合には、解離自体が進行しないためにエッチングレートが低下する。一方、電子温度平均値が5eVを超えると、チャージアップによって多結晶シリコン層に損傷が生じる虞がある。

【0061】そして、バイアスパルス電界を、プラズマのポテンシャルよりも高い正のバイアスとして半導体基板に印加することによって、プラズマ中で生成した負イオンは、正のバイアスが印加された半導体基板に引き寄せられ、多結晶シリコン層上に容易に到達する。もしも、バイアスパルス電界を、プラズマのポテンシャルよりも低い正のバイアスとして半導体基板に印加した場合には、負イオンを半導体基板に引き寄せる力が十分ではないために、プラズマ中で生成された負イオンは多結晶シリコン層に到達し難くなる。

【0062】また、バイアスパルス電界を印加するタイミングは、ソースパルス電界のオフ時であって、プラズマ中での負イオン濃度が最も高くなる 때가好ましい。即ち、例えばRFバイアスの周期の正の時間帯、若しくはソースパルス放電のオフ時に最も負イオン濃度が高くなるソースパルス放電がオンになる直前のタイミングに同期させて正のバイアスパルス（パルス放電の場合）を半導体基板に印加することで、負イオンは効率良く半導体基板に到達する。その結果、多結晶シリコン層の表面反応（電子供与）に依らず負性ラジカルが生成されてエッチングが行われるので、多結晶シリコン層の性質（n'型、p'型、ノンドープ）の差によるエッチングレートの差が少なくなる。

【0063】以上のようにパルス電界を印加することによって、n'型多結晶シリコン層上の負イオン濃度と、ノンドープの多結晶シリコン層上及びp'型多結晶シリコン層上の負イオン濃度との差を小さくすることができる。従って、n'型多結晶シリコン層、p'型多結晶シリコン層及びノンドープの多結晶シリコン層のエッチングレートの差を小さくすることが可能となる。しかも、半導体基板に印加されるバイアスはパルス状であるが故に、多結晶シリコン層のダメージ発生を低減することができる。

【0064】このようなエッチング方法の実施に適したICP（Inductively Coupled Plasma）方式のドライエッチング装置を、図9の（A）に示す。ICP方式のドライエッチング装置41には、多結晶シリコン層等の被エッチング物をエッチングする雰囲気を形成するエッチングチャンバ42が備えられている。このエッチングチャンバ42の外側周部にはコイル43が配設されている。このコイル43は、13.56MHzの高周波電界を印加するための高周波電源44に接続されている。高周波電源44の動作に基づき、ソースパルス電界が形成される。また、エッチングチャンバ42の内部には、電極45が配設されている。この電極45上に、被エッチング物である多結晶シリコン層が形成された半導体基板10が載置される。電極45は高周波バイアス電源46に接続されている。高周波バイアス電源46の動作に基づき、バイアスパルス電界が形成される。高周波電源44及び高周波バイアス電源46は、ともに連続印加方式若しくはパルス状印加方式のいずれかを選択できる電源である。パルス放電のオフ期間 t_{off} を、0.5 μ 秒以上30 μ 秒以下、好ましくは0.5 μ 秒以上10 μ 秒以下とする。高周波電源44及び高周波バイアス電源46は、各電源から供給されるパルスの位相を制御する位相整合器47に接続されている。また、エッチングチャンバ42には、エッチングガスを導入するためのガス供給系（図示せず）、及び、エッチングチャンバ42内のガスを排気するためのガス排気系（図9の（A）では排気管48を示す）が接続されている。

【0065】このような構成を有するICP方式のドライエッチング装置41においては、コイル43に13.56MHzの高周波電界を印加することによって、エッチングチャンバ42内にプラズマが生成され、多結晶シリコン層がエッチングされる。エッチング条件を以下に例示する。尚、バイアス電源46からのバイアス電力は、高周波電源44のオフ時におけるオンになる直前の3 μ 秒に正のバイアスパルス電界を半導体基板10に印加するように設定した。

10 エッチングガス：C₁₂/O₂=100/5sccm

エッチング雰囲気圧力：0.5Pa

基板温度：0°C

高周波電力：1.0kW

高周波電源からの入力：オン/オフ=3 μ 秒/7 μ 秒のパルス印加

バイアス電力：50W

【0066】このようなソースパルス電界を印加することによって、負イオン濃度はソースパルス電界のオフ時に高くなる。このようにして生成された負イオンは、RFバイアスパルス電界の印加時に、多結晶シリコン層上に到達する。そして、n'型多結晶シリコン層、p'型多結晶シリコン層及びノンドープの多結晶シリコン層上の負イオン濃度の差が小さくなるので、多結晶シリコン層の性質（導電型）によるエッチングレートの差異を小さく抑えることができる。

【0067】しかも、エッチングすべきp'型多結晶シリコン層やノンドープの多結晶シリコン層にn型不純物をイオン注入するが故に、エッチングレートの低下を抑制することができるので、形成されつつある配線（例えば、ゲート電極）の側壁がテーパ状となることを一層効果的に防止でき、所望の幅、形状を有する配線（例えば、ゲート電極）をより確実に形成することができる。

【0068】ICP方式のドライエッチング装置の代わりに、図9の（B）に概念図を示すECR方式のドライエッチング装置を用いることもできる。ECR方式のドライエッチング装置51には、被エッチング物をエッチングする雰囲気を形成するためのエッチングチャンバ52が備えられている。このエッチングチャンバ52の上部には石英製の窓53を介して導波管54が接続され、導波管54内にはマイクロ波発生器55が配設されている。このマイクロ波発生器55によって、例えば、2.45GHzのパルスマイクロ波が発生させられる。マイクロ波発生器55は電源56に接続されている。また、エッチングチャンバ52の外側周部には875ガウスの磁場を発生させるためのコイル57が配設されており、このコイル57は電源（図示せず）に接続されている。一方、エッチングチャンバ52の内部には電極58が配設されており、この電極58上に半導体基板10が載置される。電極58は、RFバイアス電源59に接続されている。RFバイアス電源59によって、電極58には

800kHzの交流電界が印加される。尚、図示はしないが、エッチングチャンバ52には、エッチングガスを導入するためのガス供給系、及び、エッチングチャンバ52内のガスを排気するためのガス排気系が接続されている。マイクロ波発生器55の動作に基づき、ソースパルス電界が形成される。また、RFバイアス電源59の動作に基づき、バイアスパルス電界が形成される。

【0069】このような構成を有するECR方式のドライエッチング装置51においては、導波管54から2.45GHzのマイクロ波をエッチングチャンバ52内に導入することによって、コイル57からの875ガウスの磁場の共鳴により高密度のプラズマが生成され、多結晶シリコン層がエッチングされる。エッチング条件を以下に例示する。

エッチングガス：Cl₂/O₂=75/6sccm

エッチング雰囲気圧力：0.4Pa

基板温度：0°C

マイクロ波パワー：850W（オン/オフ=10μ秒/20μ秒のパルス印加）

RF電力：70W

【0070】この場合にも、前記と同様の理由によって、負イオン濃度は、電源56に基づくソースパルス電界（マイクロ波パワー）のオフ時に高くなる。このようにして生成された負イオンは、RFバイアス電源59からのRFバイアスの正の周期に、多結晶シリコン層に達するため（この場合には、RFの周波数が低いため、電界の変動に十分追従して負イオンが移動し、多結晶シリコン層に達する）、多結晶シリコン層の性質（導電型）によるエッチングレートの差異を小さく抑えることができる。

【0071】以上、本発明を、発明の実施の形態に基づき説明したが、本発明はこれらに限定されるものではない。発明の実施の形態におけるエッチング条件、エッチング装置は例示であり、適宜変更することが可能である。また、プラズマの生成方式は、ICP方式、ECR方式に限定されず、ヘリコン波を用いる方式、SWP（Surface Wave Plasma）方式、マグネトロン方式等とすることもできる。発明の実施の形態3においては、チタン層を成膜し、かかるチタン層とSiとを反応させてチタンシリサイド層を形成したが、チタン層の代わりに、白金、コバルト、モリブデン等の金属シリサイドを形成し得る金属層を成膜してもよい。発明の実施の形態4においては、エッチング装置における電子温度平均値を1eV以上5eV以下の範囲において任意の値に制御可能であることが望ましい。更に、このような高密度、低電子温度のプラズマは、UHF帯のRF放電を用いることでも実現することが可能であり、この場合にもバイアスパルス等との併用によって有効に負イオンを活用することが可能である。発明の実施の形態2にて説明したようにオフセット酸化膜を形成する場合には、かかるオ

フセット酸化膜をエッチング用マスクとして用いることもできる。場合によっては、配線を形成すべき部分以外のシリコン系材料層に、n型不純物を拡散法にて導入することもできる。

【0072】

【発明の効果】本発明においては、多結晶シリコン層等のシリコン系材料層にn型不純物をイオン注入するが故に、エッチングレートの低下を抑制することができるので、形成されつつある配線の側壁がテーパー状となることを防止でき、所望の幅、形状を有する配線を確実に形成することができる。しかも、配線を形成すべきシリコン系材料層は、不純物を含有していない若しくはp型不純物を含有しているので、そのエッチングレートは低く、かかる部分がエッチングされ難く、ノッチングも発生し難い。

【図面の簡単な説明】

【図1】発明の実施の形態1におけるゲート電極の形成方法を説明するための半導体基板等の模式的な一部断面図である。

20 【図2】多結晶シリコン層へのn型不純物であるPのドーズ量、及びp型不純物であるBF₂のドーズ量と、多結晶シリコン層のエッチングレートとの関係を示すグラフである。

【図3】発明の実施の形態2におけるデュアルゲート構造を有するゲート電極の形成方法を説明するための半導体基板等の模式的な一部断面図である。

【図4】図3に引き続き、発明の実施の形態2におけるデュアルゲート構造を有するゲート電極の形成方法を説明するための半導体基板等の模式的な一部断面図である。

30

【図5】図4に引き続き、発明の実施の形態2におけるデュアルゲート構造を有するゲート電極の形成方法を説明するための半導体基板等の模式的な一部断面図である。

【図6】発明の実施の形態3におけるフルサリサイド構造を有するゲート電極の形成方法を説明するための半導体基板等の模式的な一部断面図である。

【図7】図6に引き続き、発明の実施の形態3におけるフルサリサイド構造を有するゲート電極の形成方法を説明するための半導体基板等の模式的な一部断面図である。

40

【図8】シリコン系材料層のエッチングをパルス放電可能なエッチング装置により行うときの、ソースパルス電界強度等のタイミングチャートである。

【図9】ICP方式及びECR方式のドライエッチング装置の概念図である。

【図10】デュアルゲート構造のゲート電極の模式的な一部断面図である。

50

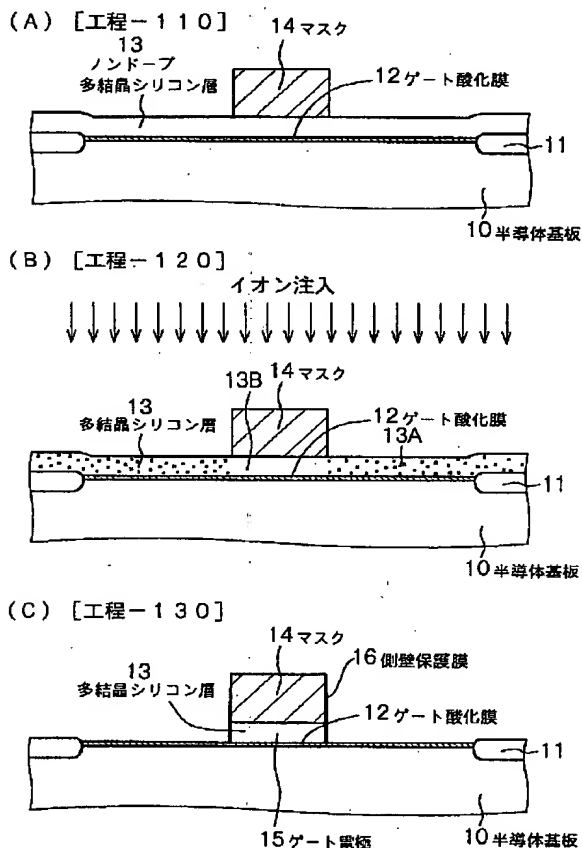
【図11】従来の技術における問題点を説明するための半導体基板等の模式的な一部断面図である。

21

【符号の説明】

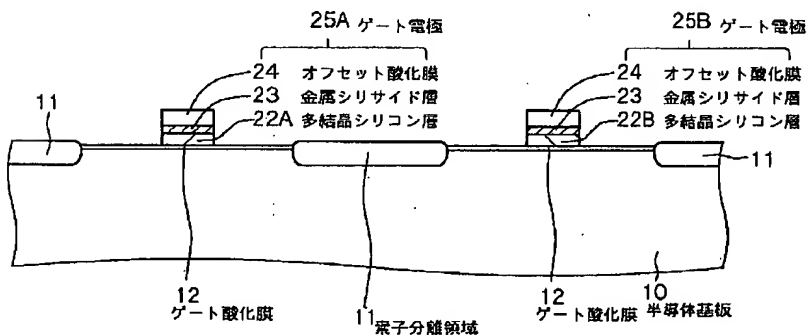
10・・・半導体基板、11・・・素子分離領域、12
 ・・・・ゲート酸化膜、13、22A、22B、30・・・
 ・多結晶シリコン層、14、31・・・マスク、15、
 25A、25B・・・ゲート電極、16・・・側壁保護
 膜、20・・・非晶質シリコン層、21A、21B・・・
 ・イオン注入用マスク、23・・・タンゲステンシリサ
 イド層、24・・・オフセット酸化膜、32・・・ゲ
 ト電極の一部、33・・・ゲートサイドウォール、34

【図1】



【図5】

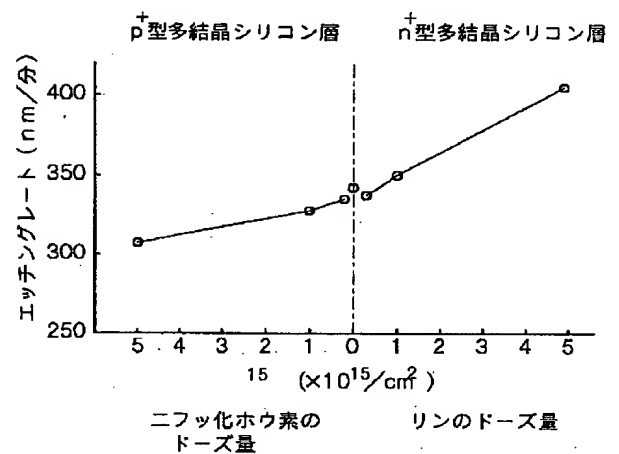
【工程-240】



22

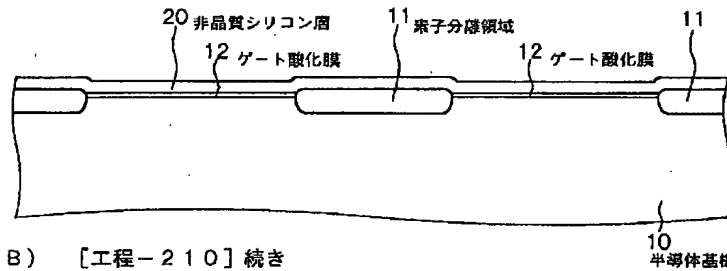
・・・ソース・ドレイン領域、35・・・Ti層、3
 6、36A・・・チタンシリサイド層、41・・・IC
 Pドライエッチング装置、42、52・・・エッチング
 チャンバ、43、57・・・コイル、44・・・高周波
 電源、45、58・・・電極、46・・・高周波バイア
 ス電源、47・・・位相整合器、48・・・排気管、5
 1・・・ECRドライエッチング装置、53・・・石英
 製の窓、54・・・導波管、55・・・マイクロ波発生
 器、56・・・電源、59・・・RFバイアス電源

【図2】

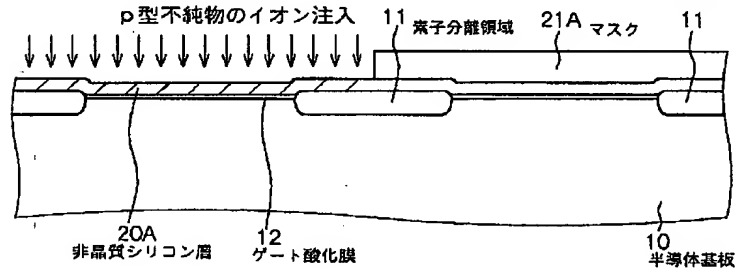


【図3】

(A) 【工程-210】

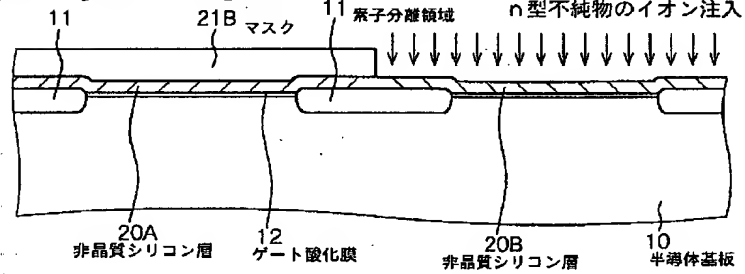


(B) 【工程-210】 続き

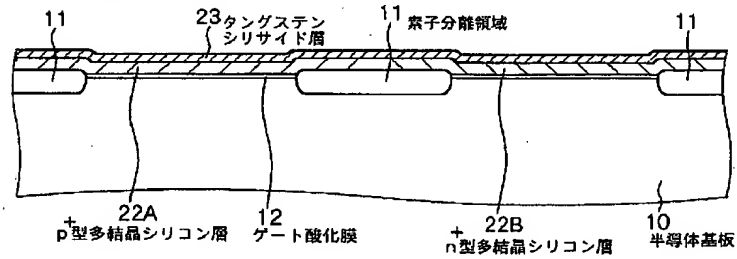


【図4】

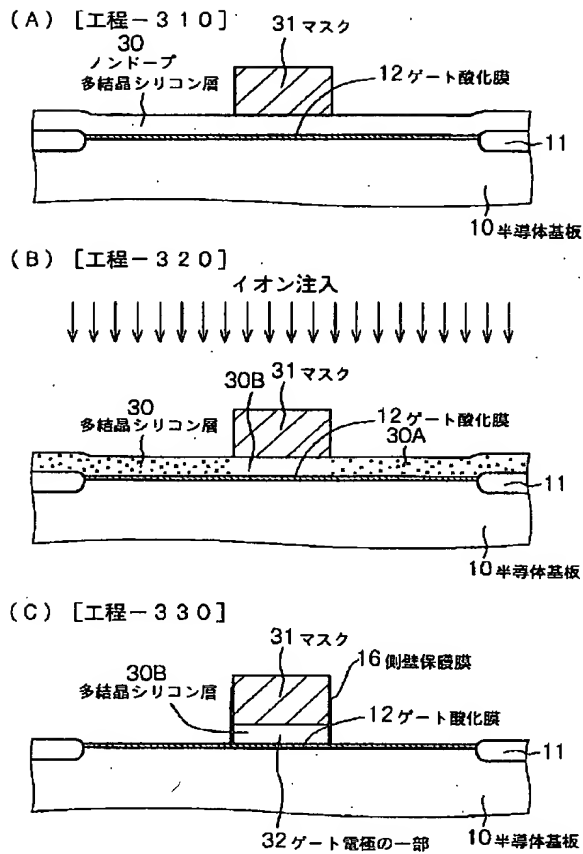
(A) 【工程-210】 続き



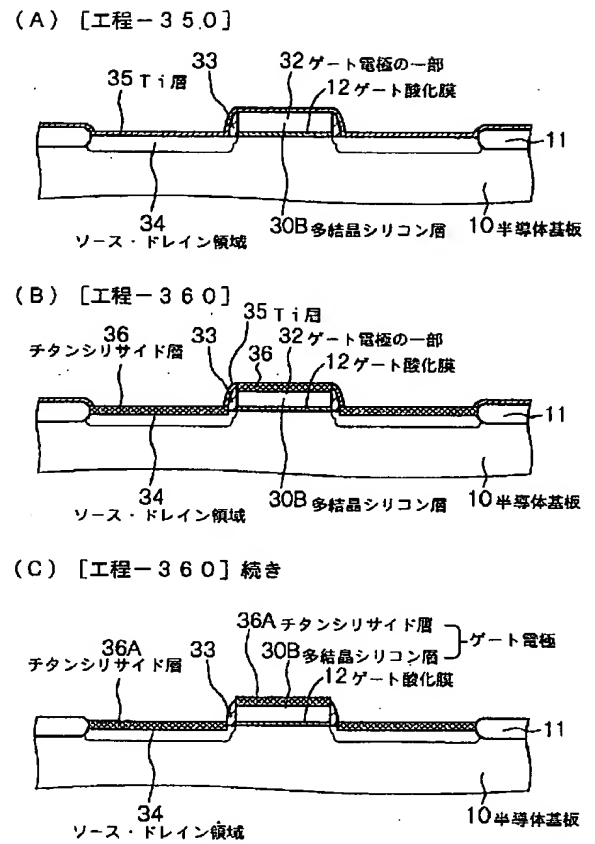
(B) 【工程-230】



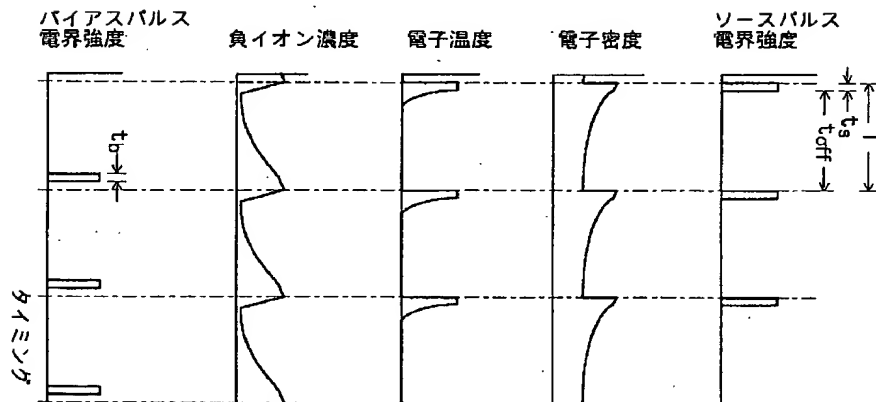
【図6】



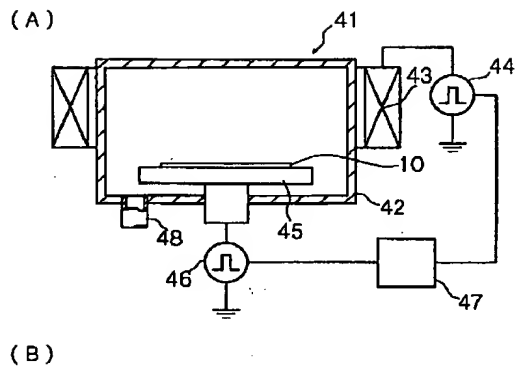
【図7】



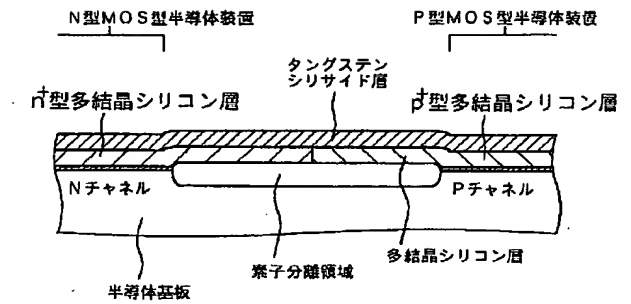
【図8】



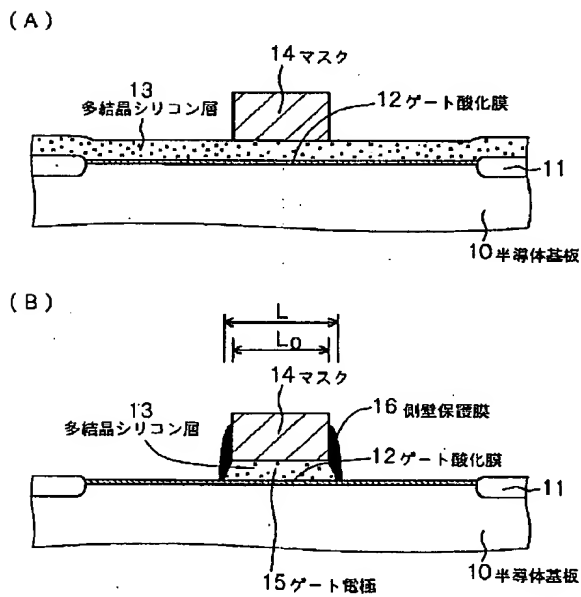
【図9】



【図10】



【図11】



フロントページの続き

(51) Int. Cl.⁶

識別記号

庁内整理番号

F I
H 0 1 L 29/78

技術表示箇所

3 0 1 X